

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-232402

(43)Dat of publication of application : 19.08.1994

(51)Int.Cl.

H01L 29/784

H01L 21/31

H01L 21/316

(21)Application number : 05-033930

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 01.02.1993

(72)Inventor : HIROTA MASANORI

FUSE MARIO

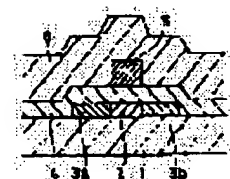
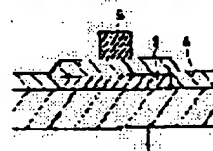
YAMADA TAKAYUKI

(54) MANUFACTURE OF THIN FILM SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To form an insulating film which has an excellent boundary characteristic by keeping a glass substrate at a specific temperature or lower and at the same time depositing an insulating newer thereon and then applying heat treatment thereto in a specific range of temperature.

CONSTITUTION: An a-Si film is formed on a glass substrate 1 and then is crystallized by annealing using a excimer laser to obtain a Poly-Si film, and then the Poly-Si film is patterned in land-like form by a photolithographic method to obtain a semiconductor active layer 2 having an inclination of 30° or less at the end thereof. A silicon oxide film is deposited at a substrate temperature of 23° C with the use of an ECR plasma CVD method, and then is heated at 500° C in the atmosphere of nitrogen for an hour to deposit Ta, and patterning is applied thereto to form a gate electrode 5, and phosphorus is injected thereto to form a source region 3a and a drain region 3b which are self-aligned. Therefore, the boundary level of a gate insulating film is lowered to improve the boundary characteristic, so that a thin films semiconductor device with high reliability may be realized.



LEGAL STATUS

[Date of request for examination] 16.12.1998

[Date of sending the examiner's decision of rejection] 22.05.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application convert d r gistration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

J1002 U.S. PTO
09/945247
08/31/01

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-232402

(43)公開日 平成6年(1994)8月19日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
21/31	C			
21/316	S	7352-4M		
		9056-4M		
			H 0 1 L 29/ 78	3 1 1 G

審査請求 未請求 請求項の数4 F D (全 5 頁)

(21)出願番号 特願平5-33930

(22)出願日 平成5年(1993)2月1日

(71)出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂三丁目3番5号

(72)発明者 広田 匡紀

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内

(72)発明者 布施 マリオ

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内

(72)発明者 山田 高幸

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内

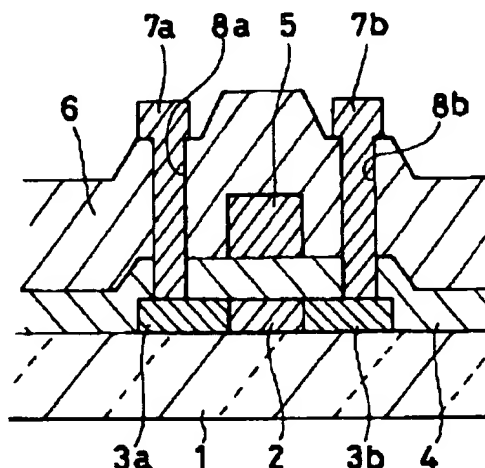
(74)代理人 弁理士 阪本 清孝 (外1名)

(54)【発明の名称】 薄膜半導体装置の製造方法

(57)【要約】

【目的】 優れた界面特性を有するゲート絶縁膜を形成することのできる薄膜半導体装置の製造方法を提供する。

【構成】 ゲート絶縁膜4は、ガラス基板1の温度を23℃としてECRプラズマCVD法を用いてシリコン酸化膜を堆積させ、その後、500℃の窒素雰囲気中で1時間の熱処理を施すことによって形成され、その結果、ゲート絶縁膜4の界面準位は $1 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 以下となる。



【特許請求の範囲】

【請求項1】 ソース及びドレイン領域が一部に形成された半導体活性層をガラス基板上に配設し、この半導体活性層を覆うようにゲート絶縁膜を設け、このゲート絶縁膜上にゲート電極を設け、さらにこのゲート絶縁膜を覆う層間絶縁膜を形成してなる薄膜半導体装置の製造方法において、ゲート絶縁膜の形成工程は、ガラス基板を100℃以下に保持しつつ絶縁部材を前記ガラス基板上に堆積させる第1の工程と、前記堆積された絶縁部材に対し400～600℃の熱処理を施す第2の工程と、からなることを特徴とする薄膜半導体装置の製造方法。

【請求項2】 第1の工程における絶縁部材の堆積は、ECRプラズマCVD法により行うことを特徴とする請求項1記載の薄膜半導体装置の製造方法。

【請求項3】 第2の工程において、熱処理は窒素、酸素及び水素からなる群から選ばれた気体中で行うことを特徴とする請求項1記載の薄膜半導体装置の製造方法。

【請求項4】 第2の工程において、熱処理は窒素、酸素及び水素からなる群から選ばれた2以上の気体の混合気中で行うことを特徴とする請求項1記載の薄膜半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜半導体装置の製造方法に係り、特に、薄膜半導体装置におけるゲート絶縁膜の界面特性の改良を図った薄膜半導体装置の製造方法に関する。

【0002】

【従来の技術】従来、この種の薄膜半導体装置としては、例えば薄膜トランジスタと称されるものがある。図6にはかかる薄膜トランジスタの一例が示されており、以下、同図を参照しつつこの薄膜トランジスタの製造プロセスについて概略的に説明する。この薄膜トランジスタは、ガラス基板20上にpoly-Siからなる半導体活性層21を形成し、その後、ゲート絶縁膜22を堆積し、さらにpoly-Siからなるゲート電極23を形成する。そして、ゲート電極23形成後、イオン注入により、リン又はボロンをゲート電極23に注入すると共に、半導体活性層21のチャンネル方向（図6において紙面左右方向）の両側にイオン注入することによりソース領域24aとドレイン領域24bとを形成する。この後、アニール処理によりドーパントの活性化を行う。そして、層間絶縁膜25を堆積後、コンタクト孔26a、26bを層間絶縁膜25及びゲート絶縁膜22に穿設して電極27a、27bを設けることによって薄膜トランジスタが完成される。

【0003】ところで、いわゆるLSIの製造技術において、Siを約1000℃前後の酸素雰囲気中で酸化させることにより、良好な界面特性を有するシリコン酸化膜を形成できることは、公知、周知のことである。一

方、上述のような薄膜トランジスタは、近年液晶ディスプレイ装置に用いられることが多いが、この場合、装置を安価なものとするために絶縁特性が良好で且つ安価なガラス基板を用いることが前提となる。ところが、ガラス基板は1000℃もの高温には耐え得ないことから上述したようなLSIにおけるゲート絶縁膜の製造方法を用いることはできない。そのため、これに代わる技術として例えば、常圧CVD法、減圧CVD法、プラズマCVD法、スパッタリング法等が提案されているが、これらの方法により得られるゲート絶縁膜は、先の1000℃前後の酸素雰囲気中でSiを酸化させることにより得られるゲート絶縁膜に比して、未だ十分満足できるものではない。

【0004】そこで、これら常圧CVD法等により形成されるゲート絶縁膜に比してさらに良好な界面特性のゲート絶縁膜を得る技術として、ECR (Electron Cyclotron Resonance) プラズマCVD装置を用いてゲート絶縁膜を堆積させる方法が提案されている（例えば、T.W. Little et al., Extended Abstracts of the 23rd and Materials, 1991, pp.644～646 参照）。

【0005】

【発明が解決しようとする課題】しかしながら、このECRプラズマCVD装置を用いた技術にしても、先の常圧CVD法等に比して相対的に界面特性が良好なゲート絶縁膜が得られるというに過ぎず、薄膜半導体装置に求められる特性を満足するに十分なゲート絶縁膜を得るに至っていないという問題があった。

【0006】本発明は、上記実情に鑑みてなされたもので、優れた界面特性を有するゲート絶縁膜を形成することのできる薄膜半導体装置の製造方法を提供するものである。

【0007】

【課題を解決するための手段】本発明に係る半導体装置の製造方法は、ソース及びドレイン領域が一部に形成された半導体活性層をガラス基板上に配設し、この半導体活性層を覆うようにゲート絶縁膜を設け、このゲート絶縁膜上にゲート電極を設け、さらにこのゲート絶縁膜を覆う層間絶縁膜を形成してなる薄膜半導体装置の製造方法において、ゲート絶縁膜の形成工程は、ガラス基板を100℃以下に保持しつつ絶縁部材を前記ガラス基板上に堆積させる第1の工程と、前記堆積された絶縁部材に対し400～600℃の熱処理を施す第2の工程と、からなるものである。特に、第1の工程における絶縁部材の堆積は、ECRプラズマCVD法により行うのが好適である。また、第2の工程において、熱処理は窒素、酸素、酸素及び水素からなる群から選ばれた気体中で行うのが好適である。さらに、第2の工程において、熱処理は窒素、酸素、酸素及び水素からなる群から選ばれた2以上の気体の混合気中で行うようにしても好適である。

【0008】

3

【作用】ゲート絶縁膜は、100℃以下の基板温度の下でECR-CVD法により堆積され、その後、400乃至600℃の熱処理を施すことによってゲート絶縁膜の界面準位が低下し界面特性の向上したものとなる。そのため、薄膜半導体装置においては、キャリアの移動度、しきい値の向上に寄与することとなり信頼性の高い薄膜半導体装置が提供されることとなる。

【0009】

【実施例】以下、図1乃至図4を参照しつつ本発明に係る薄膜半導体装置の製造方法について説明する。ここで、図1は本発明に係る薄膜半導体装置の製造方法により製造された薄膜半導体装置の一例を示す縦断面図、図2及び図3は本発明に係る薄膜半導体装置の製造方法を説明するための主要な工程における縦断面図、図4は本発明に係る薄膜半導体装置の製造方法によって形成されるゲート絶縁膜の特性を従来との比較において説明するための特性線図、図5は本発明に係る薄膜半導体装置により形成されるゲート絶縁膜の界面特性を評価するための特性評価試験の概略を説明するための試験回路の概略図である。

【0010】先ず、本発明に係る薄膜半導体装置の製造方法により製造された薄膜半導体装置について図1を参照しつつ説明すれば、この薄膜半導体装置の基本的な構成は、この種の従来の薄膜半導体装置と同じである。したがって、以下の構造の説明は概略に止めることとする。この薄膜半導体装置は、poly-Siからなる半導体活性層2、ソース領域3a及びドレイン領域3bがガラス基板1上の略同一平内に形成され、これら半導体活性層2、ソース領域3a、ドレイン領域3b及びガラス基板1の一部を覆うようにゲート絶縁膜4が形成されている。そして、ゲート絶縁膜4の上にはゲート電極5が設けられると共に、このゲート電極5及びゲート絶縁膜4を覆うように層間絶縁膜6が形成されている。さらに、層間絶縁膜6及びゲート絶縁膜4を貫通するように電極層7a、7bが形成されてなるものである。

【0011】次に、上記構成の薄膜半導体装置の製造プロセスについて図2及び図3を参照しつつ説明する。先ず、ガラス基板1上にa-Siを約1000オングストローム程度着膜させ、次にエキシマレーザを用いたアニールを行うことにより結晶化を施してpoly-Si膜を得、さらに、このpoly-Si膜をフォトリソグラフィ法により島状にパターニングすることにより半導体活性層2を得る(図2(a)参照)。尚、このpoly-Si膜のパターニングの際、パターニングの結果得られる半導体活性層2の端部(図2において紙面左右方向の両端部)の傾斜が30度以下となるようにする。

【0012】次に、ECRプラズマCVD法を用いてシリコン酸化膜を堆積させる。すなわち、基板温度23℃、マイクロ波パワー400W、ガス流量SiH₄:O₂=3:9sccm、ガス圧力1mTorrの諸条件の下でシ

4

リコン酸化膜を約1000オングストローム程度堆積する。そして、500℃の窒素雰囲気中で1時間の熱処理を行う(図2(b)参照)。熱処理完了後、Ta(タンタル)を約1500オングストローム程度堆積させ、例えばフォトリソグラフィ法によりパターニングしてゲート電極5を形成する(図3(a)参照)。続いて、シャワードープ法により、リンを注入し自己整合的にソース領域3a及びドレイン領域3bを形成する。ここで、本実施例におけるリンの注入条件は、5%PH₃/H₂を用いて110Kev、4×10¹⁵リン原子/cm²である。

【0013】さらに、ドーパントの活性化として500℃の窒素雰囲気中で2乃至5時間の熱処理を行う。この後、シリコン酸化膜を約7000オングストローム程度堆積して層間絶縁膜6を形成し、コンタクト孔8a、8bを層間絶縁膜6及びゲート絶縁膜4に穿設する(図1参照)。そして、このコンタクト孔8a、8bにAl-Cuを堆積させ、パターニングすることにより電極層7a、7bを形成し(図1参照)、薄膜半導体装置が完成する。

【0014】次に、本実施例によるゲート絶縁膜4の界面特性の良否を図4を参照しつつ説明する。先ず、本実施例の製造プロセスによって形成されたゲート絶縁膜4の特性を評価する方法としては、この種の特性評価方法としてよく知られている水銀プローブ法が好適である。図5には、水銀プローブ法を模式的に表した説明図が示されており、同図を参照しつつ概略的にこの方法を説明すれば、この方法は、評価しようとする絶縁膜10をシリコンウエファ11上に形成し、このシリコンウエファ11を接地する一方、絶縁膜10には水銀からなる電極12を介して交流電圧を印加し、その印加電圧を変化させることによっていわゆるC-V特性線を得て、このC-V特性線によって絶縁膜の特性評価を行うものである。尚、図5において可変コンデンサ13は印加電圧を調整するためのものである。

【0015】図4には上述の水銀プローブ法により得られるいわゆるC-V特性が示されている。尚、図4(a)、(b)において、横軸は酸化膜に印加されるバイアス電圧であり、縦軸は正規化した酸化膜容量である。また、図4(a)、(b)において、C_{ox}は負のバイアス電圧を印加した際の酸化膜容量の飽和値である。先ず、図4(a)には、基板温度23℃(室温)の下でECRプラズマCVD法を用いてシリコン酸化膜を堆積させた直後におけるC-V特性線(同図において実線で表された特性線イ)と、従来のように比較的高温の基板温度、すなわち基板温度400℃の下で堆積されたシリコン酸化膜のC-V特性線(同図において点線で表された特性線ロ)とが、それぞれ表されている。

【0016】この図4(a)において、結論的にはシリコン酸化膜を堆積した直後においては、本実施例のよう

に室温で堆積した場合に比して従来のように比較的高温で堆積させた場合の方がC-V特性は良好であると言える。すなわち、このような酸化膜のC-V特性の評価基準としては、 C/C_{ox} の上側の飽和値Caから、この飽和値Caと下側の飽和値Cbとの差の約1/3程下がった点ハ（特性線イの点）及び点ニ（特性線ロの点）におけるバイアス電圧が0V又はその近傍となり且つ飽和値Caと飽和値Cbとの間における特性線の傾きが大きい程よく、理想的には横軸（バイアス電圧側）に対して垂直であることが望まれる（この様なC-V特性線の理想的な形を以下「理想特性線」と言う。）。図4

(a), (b)において特性線イと特性線ロとを上述の観点から比較して見ると明らかに特性線ロが特性線イに優れていると言うことができる。換言すれば、既述したように、比較的高い温度で堆積されたシリコン酸化膜のほうが、室温或いは比較的低い温度で堆積されたシリコン酸化膜よりも、堆積直後におけるC-V特性で比較する限りにおいて良好であるということが言える。

【0017】次に、堆積されたシリコン酸化膜に熱処理を施した後のC-V特性を本実施例のものと従来例とで比較した特性線図が図4(b)であり、以下、同図を参照しつつその内容について説明する。同図において実線で表された特性線ホは、本実施例のシリコン酸化膜の熱処理後のC-V特性である。すなわち、室温で堆積されたシリコン酸化膜を500℃の窒素雰囲気中で1時間熱処理を施した後におけるC-V特性を示したものである。一方、点線で表された特性線ヘは、従来の方法により堆積されたシリコン酸化膜、すなわち、400℃の基板温度の下で堆積されたシリコン酸化膜を500℃の窒素雰囲気中で1時間熱処理を施した後におけるC-V特性を示したものである。

【0018】この二つの特性線ホ、ヘを比較して見ると、特性線ホの方が特性線ヘに比して明らかに図4

(a)の説明で述べたような理想特性線に近似していると言える。すなわち、基板温度を室温にしてシリコン酸化膜を堆積させた後に500℃の窒素雰囲気中で1時間熱処理を施して形成された本実施例のゲート絶縁膜4の方が、400℃の基板温度の下で堆積されたシリコン酸化膜を500℃の窒素雰囲気中で1時間熱処理を施したシリコン酸化膜よりも、良好な界面特性を有するものになるということが言える。具体的に界面単位密度 N_{ss} で比較すると、上述した方法により形成されたシリコン酸化膜では、 $N_{ss} = 5 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 程度であるのに対し、本実施例の方法で形成されたシリコン酸化膜においては、 $N_{ss} = 5 \times 10^{10} \sim 1 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ となり確実に界面特性の向上が得られている。

【0019】尚、本実施例においては、シリコン酸化膜を堆積させる際の基板温度を23℃としたが、基板温度はこの温度に限定されるものではなく、室温以上で約100℃以下であれば本実施例と略同一の効果を得ることができる。また、本実施例においては基板温度を室温としてシリコン酸化膜を堆積し、その後500℃の窒素雰囲気中に於いて熱処理を施したが、熱処理の温度としては400～600℃の間であればよく、本実施例の500℃に限定されるものではない。さらに、熱処理を行う雰囲気も窒素雰囲気に限られる必要はなく、外に酸素又は水素のいずれかであればよい。またさらに、本実施例においては、ゲート絶縁膜4を形成するものとしてシリコン酸化膜を例に説明したが、これに限らずシリコン窒化膜(SiN_x)、シリコン酸窒化膜(SiO_xN_y)或いはこれらを2種以上組み合わせたものであってもよい。

【0020】

【発明の効果】以上、述べたように、本発明によれば、ゲート絶縁膜を基板温度100℃以下でECR-CVD法によって堆積させた後、400乃至600℃の熱処理を施すようにすることによって、従来に比してゲート絶縁膜の界面単位を下げることができ、界面特性の優れたゲート絶縁膜を得ることができる。また、かかるゲート絶縁膜の界面特性を向上させることにより、薄膜半導体装置の諸特性の向上に寄与できるという効果を奏するものである。

【図面の簡単な説明】

【図1】 本発明に係る薄膜半導体装置の製造方法により製造された薄膜半導体装置の一例を示す縦断面図である。

【図2】 本発明に係る薄膜半導体装置の製造方法を説明するための主要な工程における縦断面図である。

【図3】 本発明に係る薄膜半導体装置の製造工程を説明するための製造工程の主要部における縦断面図である。

【図4】 本発明に係る薄膜半導体装置の製造方法によって形成されるゲート絶縁膜及び従来のゲート絶縁膜のC-V特性を示す特性線図である。

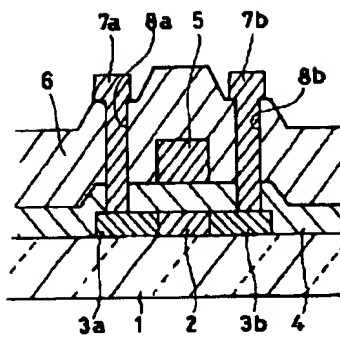
【図5】 図4の特性線を得るための水銀プローブ法の概略を模式的に表した模式図である。

【図6】 従来の薄膜半導体装置の構成を示す縦断面図である。

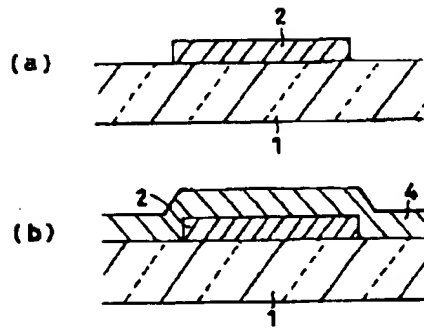
【符号の説明】

1…ガラス基板、 2…半導体活性層、 3a…ソース領域、 3b…ドレイン領域、 4…ゲート絶縁膜、 5…ゲート電極

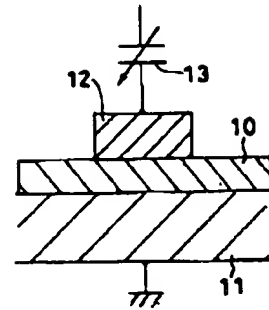
【図1】



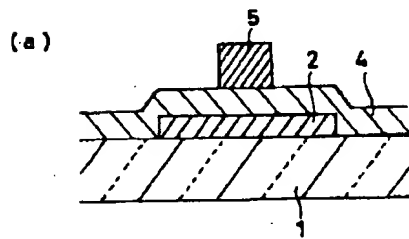
【図2】



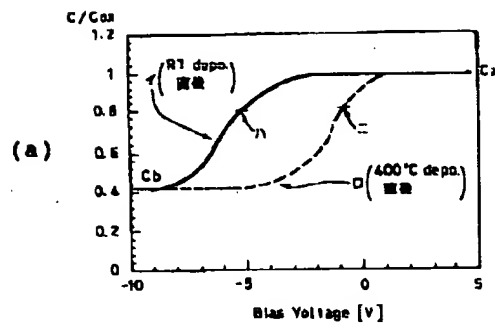
【図5】



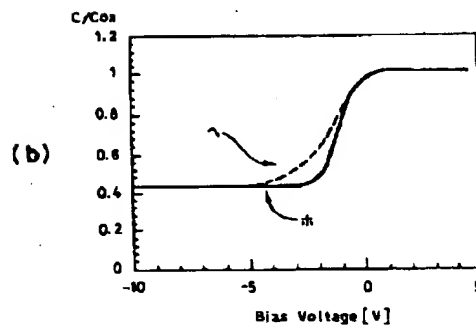
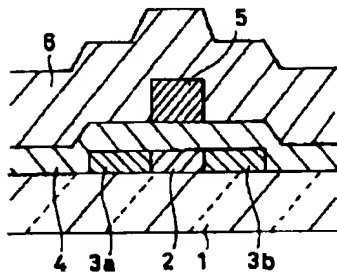
【図3】



【図4】



(b)



【図6】

